

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273276

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H01L 25/07

H01L 25/18

H01L 23/12

(21)Application number : 06-057837

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 28.03.1994

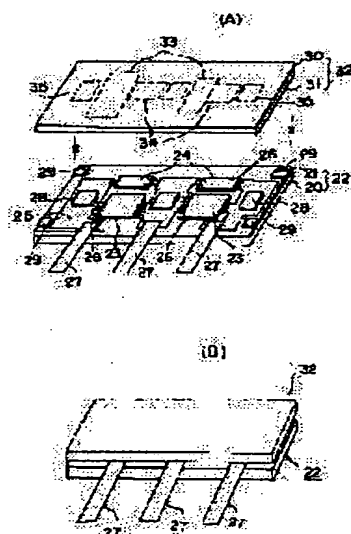
(72)Inventor : NOJIRI HIDETOMO
HAMABE TSUYOSHI

(54) CONNECTION STRUCTURE OF POWER ELEMENT TO SNUBBER ELEMENT AND THEIR MOUNTING STRUCTURE

(57)Abstract:

PURPOSE: To enhance the surge-voltage absorption effect of a snubber element in the connection structure of a power element to the snubber element and to enhance a heat-dissipating property in the mounting structure of the power element and the snubber element.

CONSTITUTION: Snubber elements and power elements which have been installed respectively on two metal boards 32, 22 are connected electrically at shortest distances via pads 35, 28. Thereby, a parasitic inductance due to interconnections is reduced, and the generation of a radio-wave noise to the outside is reduced. In addition, the integrated and coupled object of both metal boards 22, 32 is inserted into, and mounted on, a groove formed in a heat-dissipating device. Thereby, heat which is generated in the snubber elements is dissipated effectively, and the large shielding effect of the radio-wave noise is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

1

【特許請求の範囲】

【請求項1】 パワー素子を実装した基板と、スナバ素子を実装した基板とを設け、両基板同士を素子実装面を突き合わせて一体化結合し、両基板夫々の素子同士を電氣的に接続したことを特徴とするパワー素子とスナバ素子の接続構造。

【請求項2】 前記パワー素子を実装した基板には配線パターンが形成されており、該配線パターンには、外部引出し用のビームリードの一端部が接合され、該ビームリードの他端部は、基板の一端部から張り出されてなる請求項1記載のパワー素子とスナバ素子の接続構造。

【請求項3】 前記パワー素子を実装した基板とスナバ素子を実装した基板の相互の結合面には、接続用電極となるパッドが夫々装着されてなる請求項1又は2記載のパワー素子とスナバ素子の接続構造。

【請求項4】 前記パワー素子を実装した基板とスナバ素子を実装した基板の相互の結合面には、前記パッドに過大な圧力や衝撃が加わらないようにするためのスペーサが装着されてなる請求項4記載のパワー素子とスナバ素子の接続構造。

【請求項5】 請求項1における両基板同士の一体化結合物を、放熱器に形成された溝内に挿入実装するようにしたことを特徴とするパワー素子とスナバ素子の実装構造。

【請求項6】 前記放熱器上面から前記ビームリードが突出されてなる請求項5記載のパワー素子とスナバ素子の実装構造。

【請求項7】 前記放熱器上面の溝形成位置には端子板が取り付けられ、該端子板にはスリットが形成されており、該スリットに前記放熱器上面から突出された前記ビームリードが通され、該ビームリード先端部は端子板に固定取付されてなる請求項5又は6記載のパワー素子とスナバ素子の実装構造。

【請求項8】 前記スリットは、高周波サージを吸収する磁性体により取り囲まれてなる請求項7記載のパワー素子とスナバ素子の実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電力制御用の半導体素子であるパワー素子とスナバ素子の接続構造及びその実装構造に関し、特に、接続配線長の短縮化技術及び放熱性向上技術に関する。

【0002】

【従来の技術】 従来のこの種パワー素子とスナバ素子の接続構造及びその実装構造としては、例えば、図9に示すようなものがある。即ち、図は市販のパワーモジュールAの内部構造を示しており、金属プレート1Aと該金属プレート1A上面に装着される箱状のプラスチックパッケージ1Bとからモジュール本体1が形成される。金属プレート1A上面にはセラミック基板2が設置され、

2

該セラミック基板2上面にはパワー素子としての半導体チップ3が実装される。又、セラミック基板2上面には電極パッド4が装着され、該電極パッド4とプラスチックパッケージ1Bに装着された引出し電極5とはワイヤ6を介して接続される。

【0003】 図10はかかるパワーモジュールAのパワー素子にスナバモジュールB側のスナバ素子を接続して構成したスイッチング回路を示しており、パワーモジュールAはスナバモジュールB双方の引出し電極5、7はリード線8を介して接続される。パワーモジュールAの引出し電極5には、夫々電源線9、出力線10及びアース線11が接続される。

【0004】 このようにして接続されたパワーモジュールA及びスナバモジュールBは共に放熱器12に固定取付され、実装される。

【0005】

【発明が解決しようとする課題】 しかしながら、このような従来のパワー素子とスナバ素子の接続構造において、パワーモジュールAのパワー素子とスナバモジュールBのスナバ素子とは、内部のワイヤ6及び外部のリード線8を介して接続されており、これにより、次のような問題がある。

【0006】 即ち、パワー素子とスナバ素子とは、別々のモジュールA、Bに設けられているため、これらを接続する上記ワイヤ6及びリード線8からなる配線長が長くなる。特に、大容量のスイッチング回路を構成した場合には、パワーモジュールA並びにスナバモジュールB双方の形状が大きくなる結果、上記ワイヤ6及びリード線8からなる配線長がより長くなる。

【0007】 このように配線長が長くなると、配線が持つ寄生インダクタンスがパワー素子の負荷となり、これが発生するサージ電圧は、スイッチング回路のスイッチング電流が増す程増大する。スナバ素子自体は元々このサージ電圧を吸収する目的で使用されるが、上記のように、パワー素子とスナバ素子とを、寄生インダクタンスを有する長い配線長をもって接続したのでは、スナバ素子の効果が十分に得られない。

【0008】 又、従来のパワー素子とスナバ素子の放熱器への実装構造にあつては、両素子を夫々設けたモジュールA、Bを放熱器12上面に露出して実装した構成であるため、各モジュールA、Bと放熱器12との接触面積が少なく、放熱性に劣るという問題がある。そこで、本発明は以上のような従来の問題点に鑑み、パワー素子とスナバ素子の接続構造において、両者を接続する配線長を短縮することにより、スナバ素子のサージ電圧吸収効果を向上すると共に、回路の小型化を図ることを目的とする。

【0009】 又、パワー素子とスナバ素子の実装構造において、放熱性を向上することを目的とする。

【0010】

3

【課題を解決するための手段】このため、請求項1記載の発明は、パワー素子を実装した基板と、スナバ素子を実装した基板とを設け、両基板同士を素子実装面を突き合わせて一体化結合し、両基板夫々の素子同士を電氣的に接続したパワー素子とスナバ素子の接続構造とする。

【0011】請求項2記載の発明は、前記パワー素子を実装した基板には配線パターンが形成されており、該配線パターンには、外部引出し用のビームリードの一端部が接合され、該ビームリードの他端部は、基板の一端部から張り出された構成とする。請求項3記載の発明は、前記パワー素子を実装した基板とスナバ素子を実装した基板の相互の結合面には、接続用電極となるパッドが夫々装着された構成とする。

【0012】請求項4記載の発明は、前記パワー素子を実装した基板とスナバ素子を実装した基板の相互の結合面には、前記パッドに過大な圧力や衝撃が加わらないようにするためのスペーサが装着された構成とする。請求項5記載の発明は、請求項1における両基板同士の一体化結合物を、放熱器に形成された溝内に挿入実装するようにした。

【0013】請求項6記載の発明は、前記放熱器上面から前記ビームリードが突出された構成とする。請求項7記載の発明は、前記放熱器上面の溝形成位置には端子板が取り付けられ、該端子板にはスリットが形成されており、該スリットに前記放熱器上面から突出された前記ビームリードが通され、該ビームリード先端部は端子板に固定取付されてなる構成とする。

【0014】請求項8記載の発明は、前記スリットを、高周波サージを吸収する磁性体により取り囲む構成とする。

【0015】

【作用】請求項1記載の発明において、2つの基板に夫々設けられたスナバ素子とパワー素子間が最短距離で電氣的に接続されるため、配線長が極端に短くなり、配線が持つ寄生インダクタンスを低減することができる。これにより、スイッチングによって発生するサージ電圧は効果的に一方の基板側のスナバ素子からなるスナバ回路で吸収され、外部への電波雑音等の発生を低減することができる。

【0016】又、パワー素子とスナバ素子とからなる回路の小型化が図れる。請求項2記載の発明において、両基板同士の一体化結合物の外部引出し用のビームリードが容易に形成される。請求項3記載の発明において、両基板夫々の素子同士を接続用電極となるパッドにより容易に電氣的接続できる。

【0017】請求項4記載の発明において、パッドに過大な圧力や衝撃が加わるのを防止できる。請求項5記載の発明において、両基板同士の一体化結合物を、放熱器に形成された溝内に挿入実装するようにしたから、両基板の全体が放熱器に接触し、パワー素子で発生した熱の

4

みならず、スナバ素子で発生した熱も効果的に放熱させることができる。又、放熱器に挿入実装された状態では、各基板の回路が放熱器で略取り囲まれた状態となるため、電波雑音の大きなシールド効果が得られる。

【0018】請求項6～8記載の発明において、端子板に設けられた磁性体の中をビームリードが貫通しているため、電波雑音が磁性体に吸収され、外部への電波雑音の放射が極力抑えられる。

【0019】

10 【実施例】以下、添付された図面を参照して本発明を詳述する。先ず、請求項1記載の発明のパワー素子とスナバ素子の接続構造は、パワー素子を実装した基板と、スナバ素子を実装した基板とを設け、両基板同士を各素子同士が接続されるように素子実装面を突き合わせて一体化結合した構造である。

【0020】かかる請求項1記載の発明のパワー素子とスナバ素子の接続構造の第1の実施例を図1(A)に基づいて説明する。前記パワー素子を実装した基板側において、アルミニウムや銅等からなる金属板20上面にセラミック基板21を積層して構成した金属基板22が設けられており、この金属基板20上面にはパワー素子のチップ23とフライホイールダイオードのチップ24とが接着されている。前記セラミック基板21上には配線パターン25が形成されており、この配線パターン25の所定位置にワイヤ26がボンディングされている。又、配線パターン25には、外部引出し用のビームリード27の一端部が熱圧着等の方法によりボンディングされ、該ビームリード27の他端部は、金属基板22の一端部から張り出されている。

30 【0021】更に、セラミック基板21両端部の配線パターン25上面位置には、後述するスナバ素子を実装した金属基板側との接続用電極となるパッド28が夫々装着されている。又、セラミック基板21の4つのコーナ部上面位置には、夫々前記パッド28に過大な圧力や衝撃が加わらないようにするためのスペーサ29が装着されている。

【0022】次に、前記スナバ素子を実装した基板側において、セラミック基板30上面にアルミニウムや銅等からなる金属板31を積層して構成した金属基板32が設けられており、この金属基板32上面には、スナバ素子として、半導体素子で構成したコンデンサ33とスクリーン印刷により形成した抵抗34とが設けられており、コンデンサ33(C)と抵抗34(R)のスナバ素子からなるスナバ回路が構成されている。又、金属基板32両端部の上面位置には、前記パワー素子を実装した金属基板22側との接続用電極となり、前記パッド28と熱圧着等により接続されるパッド35が夫々装着されている。

50 【0023】前記パッド28、35夫々の相手側との熱圧着面、並びにビームリード27と配線パターン25夫

5

々の相手側との熱圧着面は、NiやTi等のバフア金属を介して表面がAuにより形成されている。かかる構成のパワー素子を実装した金属基板22と、スナバ素子を実装した金属基板32とは、パッド28、35が装着された側の面を相対向させて重ね合わせて、圧着することにより、図1(B)に示すように一体化結合される。この場合、パワー素子を実装した金属基板22とスナバ素子を実装した金属基板32夫々のパッド28、35同士が接続されて、両基板22、32夫々の素子同士が電氣的に接続される。

【0024】次に、請求項5記載の発明のパワー素子とスナバ素子の接続構造は、前記両金属基板22、32同士の一体化結合物を、放熱器に形成された溝内に挿入実装する構成である。即ち、前記のようにして構成された一体化結合物は、図2に示すように、放熱器26の上部に形成されて放熱器36上面に開放された溝37内に挿入実装される。この場合、金属基板22と金属基板32の隙間にシリコン樹脂材等を充填して、パワー素子及びスナバ素子の信頼性を向上するようにしても良い。

【0025】前記パワー素子側の金属基板22に設けられたビームリード27は、放熱器36上面から突出される。次に、放熱器36上面の溝37形成位置には、図3に示すように、端子板38が取り付けられる。この端子板38にはスリット39が形成されており、該スリット39に前記放熱器36上面から突出されたビームリード27が通され、該ビームリード27先端部は端子板38上面側に折り曲げられて、ねじ端子40により該端子板38に固定取付される。このねじ端子39は、外部配線接続用の端子として用いられる。尚、スリット39を、磁性体材料であるフェライト材41が取り囲んでおり、パワー素子とスナバ素子とからなるスイッチング回路で発生した高周波サージを吸収する働きが奏される。

【0026】ここで、上記金属基板32上に形成されるスナバ素子からなるスナバ回路の具体的な構造及びその製作方法について説明する。スナバ回路としては、図4に示すようなものがある。例えば、同図(A)に示すように、単一のコンデンサのみで構成するものについては、一般の個別高耐圧コンデンサを用いても良いが、このときの問題点として、大電力を扱う用途では発熱を伴うため放熱を考慮しなければならないことや、自己共振の影響を避けるため、Qを下げる工夫をしなければならないこと等から、形状が大きくなる。又、同図(B)に示すように、Qダンブ用の抵抗を、外部に設けたり、他の素子と一体モジュール化したりすることで対応している。

【0027】そこで、本実施例においては、Si半導体基板上にスナバ素子を構成するコンデンサを形成することにより、上述した放熱の問題を解決して、小型化を図るようにする。即ち、図5はスナバコンデンサを形成したSi半導体基板の断面を示している。N⁺型Si半導

6

体基板50の表裏にN⁺の高濃度不純物層51、52を形成し、表面にSiO₂やSi₃N₄等の誘電体絶縁物層53を形成し、更に、Si基板50の表裏に、Cr層54、56、Au層55、57を、表裏各面について番号順に連続的に形成する。次いで、金属基板32上に予め形成されたAlやAuの配線用電極パッド58上に熱圧着法等によりSi基板50をボンディングする。次いで、Au層55と電極パッド59間をAuリボン60で熱圧着法等により接続する。尚、電極パッド58と59は、金属基板32との間でアルミナセラミック層51等により絶縁される。

【0028】かかる例においては、Cr層54とN⁺層51間がスナバコンデンサとして機能し、ここで発生した熱は熱伝導効果の高いSi基板50を通して金属基板32中に速やかに伝わる。金属基板32は、前記放熱器36に直結されており、高い放熱効果が得られるので、コンデンサのサイズは必要な静電容量が得られるならば、小さくすることが可能である。

【0029】又、かかる例において、Si基板50の濃度を低くし、抵抗率を高くすることにより、図6に示すスナバ回路の等価回路中の直列抵抗成分R_sを大きくすることができる。これにより、コンデンサCのQを低下させることができるため、コンデンサの自己発振の影響を取り除くことができる。即ち、図4の(B)の構成のスナバ回路において、抵抗を金属基板上に印刷抵抗として個別に形成することも可能であるが、本例のように、Si基板中の寄生抵抗を有効に利用しても良い。

【0030】又、図4(C)に示すようなスナバ回路中にダイオードを有する回路構成にすることもできる。図7及び図8はその具体例を示している。図7は抵抗を外付にしたものである。Si基板70にP型のものを用い、表面にN⁺層、裏面にP⁺層を形成する。コンデンサは、N⁺層72と、SiO₂層74を挟んだ金属電極75との間に形成されており、P型のSi基板70とN⁺層72間の接合面にダイオードが形成されている。P⁺層は下記の金属電極76にオーミック接触をとるためのものである。ダイオードの接合耐圧は使用するパワー素子の最大電圧より高く設定するが、これはSi基板70の不純物濃度を適当に選ぶことにより行う。即ち、例えば、500V耐圧のものを得るには、P型の不純物濃度は $5 \times 10^{14} / \text{cm}^3$ 以下にすれば良い。

【0031】図8は、コンデンサ、ダイオード及び抵抗のスナバ回路を構成する素子を全てSi基板上に形成したものの例である。ダイオードの周囲にダイオードに並列接続される抵抗を形成するもので、図7のものに加えて、表面の不純物拡散層77を追加することが得られる。ダイオードの耐圧は前述したように、Si基板70の不純物濃度で決まり、これによって周囲部分の抵抗の抵抗率も決まる。例えば、ダイオード耐圧が500Vを得るため、基板70の不純物濃度を $5 \times 10^{14} / \text{cm}^3$

107-130の
チップの
表面は
接着面
である

7

とした場合、基板70の抵抗率は約 $3\Omega\text{cm}$ となる。例えば、スナバ抵抗の抵抗値を 1Ω とする場合、Si基板70の厚みを $500\mu\text{m}$ とすると、 P^+ 層77の面積を $2500\mu\text{m}^2$ とすれば良い。尚、コンデンサの容量は、 SiO_2 層74の厚みと誘電率電極75の面積で決まる。 SiO_2 層74は必要に応じて誘電率の高い Si_3N_4 や Ta_2O_5 等或いはそれらを積層したものを用いても良い。上記コンデンサやダイオードは静電容量や電流容量を増すために必要に応じて複数のチップに分割し、各々を電極パッド58、59及びAuリボン60により結線することも可能である。このようなチップ分割を行うことによってコンデンサ、ダイオードを製造する際のプロセス歩留を向上することができる。

【0032】次に、図1～図3の構成に基づく作用・効果について説明する。2つの金属基板32、22に夫々設けられたスナバ素子とパワー素子間がパッド35、28を介して最短距離で電氣的に接続されるため、配線長が極端に短くなり、配線が持つ寄生インダクタンスを低減することができる。これにより、スイッチングによって発生するサージ電圧は効果的に金属基板32側のスナバ素子からなるスナバ回路で吸収され、外部への電波雑音等の発生を低減することができる。

【0033】特に、従来では、大容量のスイッチング回路を構成した場合には、配線長が長くなって、寄生インダクタンスが増大するが、上記の構成では、この心配がない。又、上記の構成によると、パワー素子とスナバ素子とからなるスイッチング回路の小型化が図れる。

【0034】更に、上記の構成によると、両金属基板22、32同士の一体化結合物を、放熱器36に形成された溝37内に挿入実装するようにしたから、両金属基板22、32の全体が放熱器36に接触し、パワー素子で発生した熱のみならず、スナバ素子で発生した熱も効果的に放熱させることができる。更に、放熱器36に挿入実装された状態では、各金属基板22、32の回路が放熱器36で略取り囲まれた状態となるため、電波雑音の大きなシールド効果が得られる。更に、ビームリード27が形成された側は、放熱器36が取り囲んでいないが、端子板38に設けられたフェライト材41の中をビームリード27が貫通しているため、電波雑音がフェライト材41に吸収され、外部への電波雑音の放射が極力抑えられる。

【0035】図11～13は第2の実施例を示す図である。これらの実施例は、3個のパワー素子を一つの放熱器36に実装し、各々のパワー素子を3相交流のU相、V相、W相の制御に用いたものである。図では制御入力端子は図示せず、直流電源入力端子 C_1 、 C_2 、 C_3 と共通端子 E_1 、 E_2 、 E_3 と3相出口端子 O_1 、 O_2 、 O_3 が示してある。

【0036】図11に示すように、各パワー素子は放熱器36に作られた隣接3つの溝内に実装され、放電器

8

36の外に突出した C_1 、 C_2 、 C_3 と E_1 、 E_2 、 E_3 の周囲と O_1 、 O_2 、 O_3 の周囲を図12のように各々別の磁性体材料、例えばフェライト材41A、41Bで取り囲む。これにより、直流入力側と3相出力側に各々生ずるコモンモードノイズを除去する効果が得られる。

【0037】図13は以上に加えて端子板38を設けたもので、各パワー素子の C_1 、 C_2 、 C_3 と E_1 、 E_2 、 E_3 はこの端子板38上で結線される。又、端子板38上のCとE端子間にコンデンサを直接接続することによってノーマルモードノイズを除去したり、内部スナバの機能を補助する目的で、CE端子間に外付のスナバ素子を接続しても良い。

【0038】かかる実施例でせ、前述の第1の実施例と同じく放熱器がシールド効果を有しており、又、放熱器内部に3つのパワー素子が実装されているため、パワー素子の発生する熱は効率良く放熱される。本実施例では、フェライト材を通過する電流の総量が±0となるようにしたため、磁気飽和しにくく、大電力用途に対して好適である。

【0039】

【発明の効果】以上説明したように、請求項1記載の発明によれば、配線長が極端に短くなり、配線が持つ寄生インダクタンスを低減することができ、スイッチングによって発生するサージ電圧は効果的に吸収され、外部への電波雑音等の発生を低減することができると共に、パワー素子とスナバ素子とからなる回路の小型化が図れる。

【0040】請求項2記載の発明によれば、両基板同士の一体化結合物の外部引出し用のビームリードが容易に形成される。請求項3記載の発明によれば、両基板夫々の素子同士を接続用電極となるパッドにより容易に電氣的接続できる。請求項4記載の発明によれば、パッドに過大な圧力や衝撃が加わるのを防止できる。

【0041】請求項5記載の発明によれば、パワー素子で発生した熱のみならず、スナバ素子で発生した熱も効果的に放熱させることができ、電波雑音の大きなシールド効果が得られる。請求項6～8記載の発明によれば、電波雑音が磁性体に吸収され、外部への電波雑音の放射が極力抑えられる。

【図面の簡単な説明】

【図1】 請求項1記載の発明のパワー素子とスナバ素子の接続構造の実施例を示す斜視図で、(A)は接続前の状態を示し、(B)は接続状態を示す

【図2】 請求項2記載の発明のパワー素子とスナバ素子の実装構造の実施例を示す斜視図

【図3】 請求項2記載の発明のパワー素子とスナバ素子の実装構造の実施例を示す斜視図

【図4】 スナバ回路の例を示す回路図

【図5】 スナバコンデンサを形成したSi半導体基板

の断面図

【図 6】 スナバ回路の等価回路

【図 7】 スナバ回路中にダイオードを有する回路の具体例を示す断面図

【図 8】 スナバ回路中にダイオードを有する回路の具体例を示す断面図

【図 9】 パワー素子とスナバ素子の接続構造及びその実装構造の従来例を示す断面図

【図10】 スイッチング回路を示す斜視図

【図11】 他の実施例の斜視図

【図12】 他の実施例の斜視図

【図13】 他の実施例の斜視図

【符号の説明】

22 金属基板

23 パワー素子のチップ

25 配線パターン

27 ビームリード

28 バット

29 スペース

3 2 金属基板

3 3 コンデンサ

3 4 抵抗

35 バッド

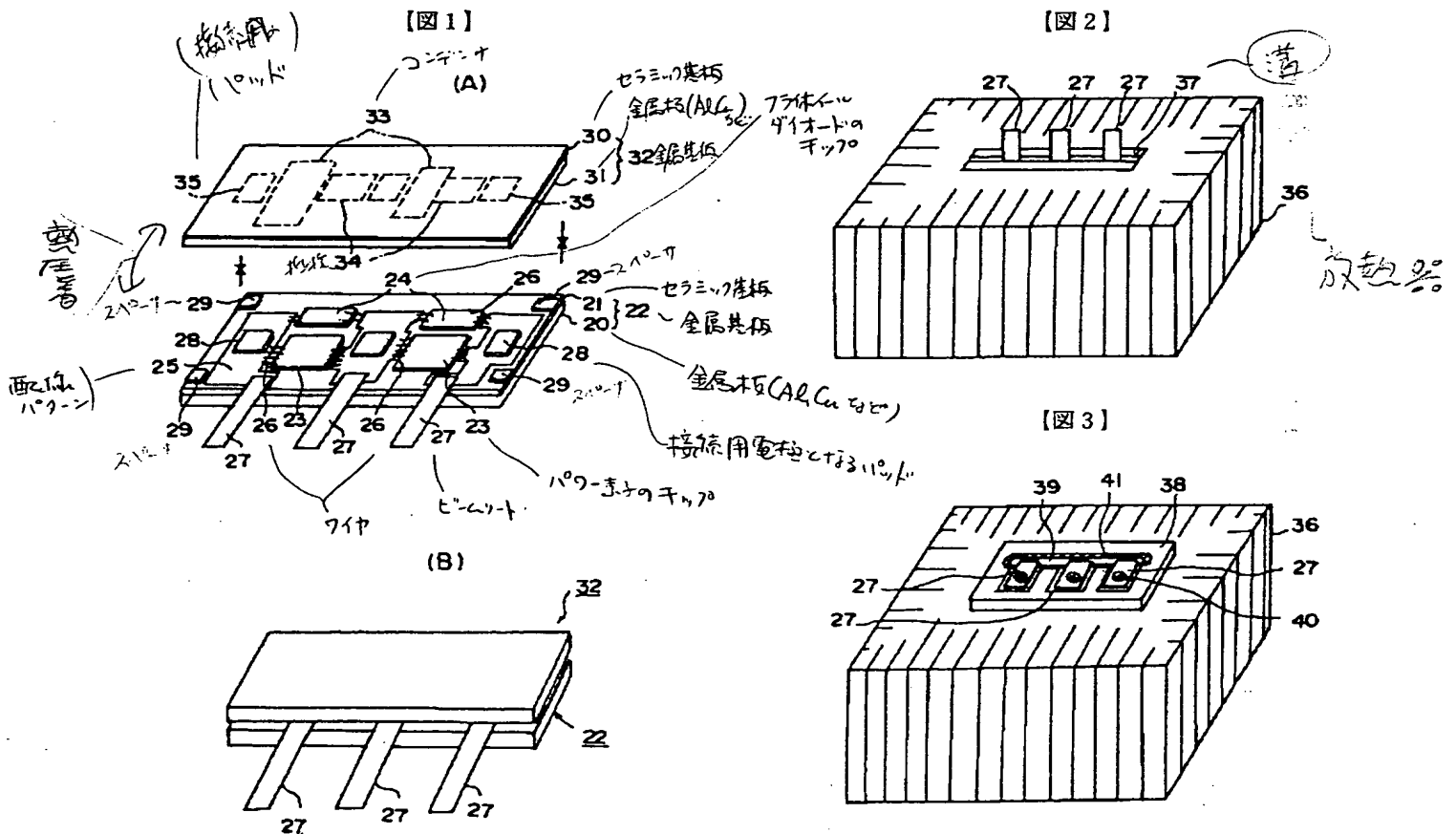
10 3 6 放熱器

3 7 溝

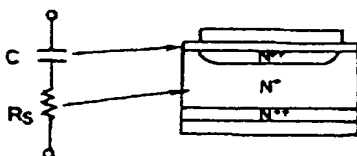
3 8 端子板

39 スリット

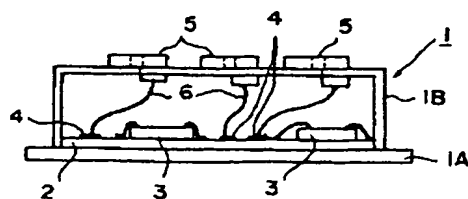
41 フェライト材



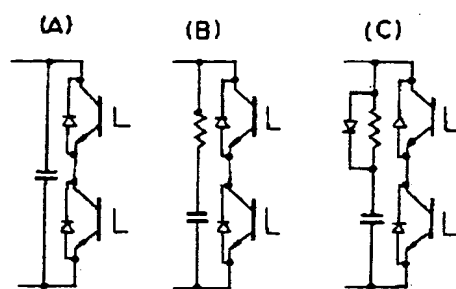
【図 6】



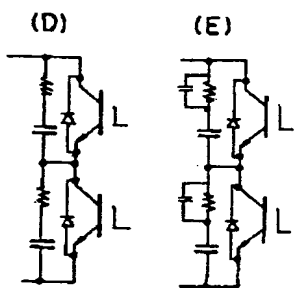
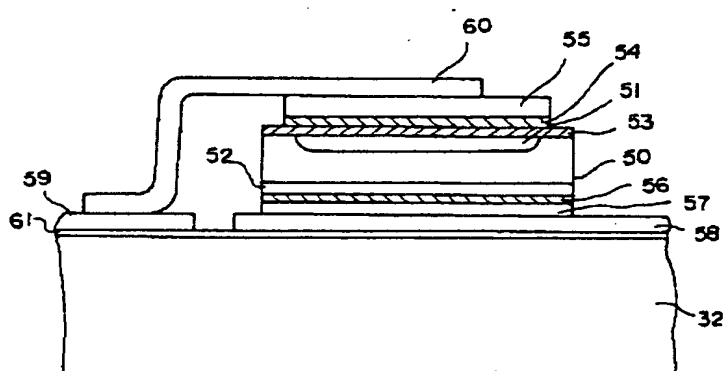
【图9】



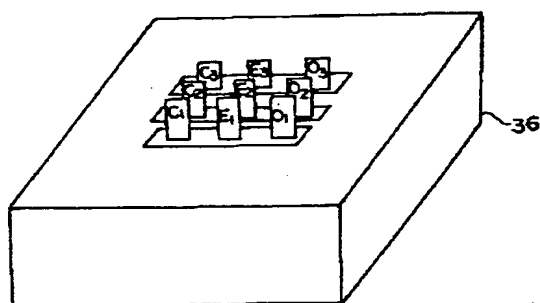
【図4】



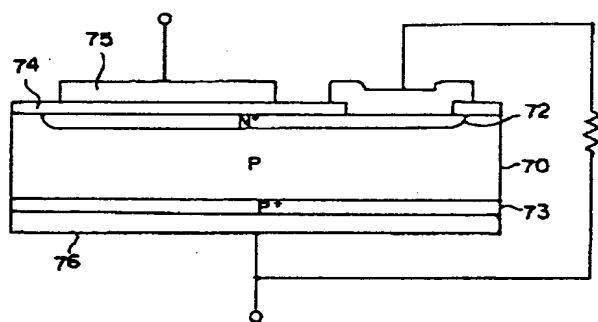
【図5】



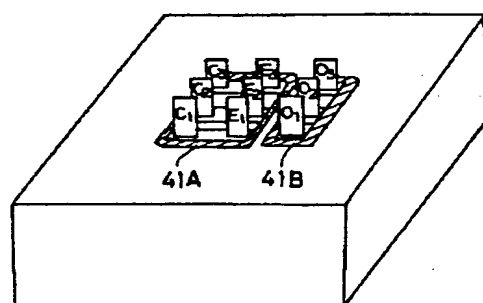
【図11】



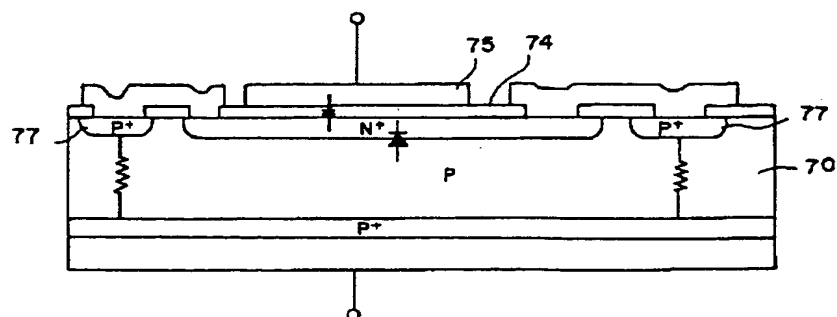
【図7】



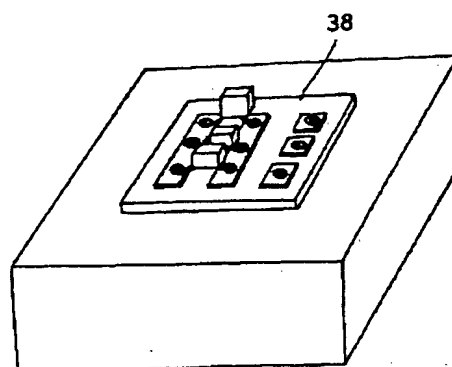
【図12】



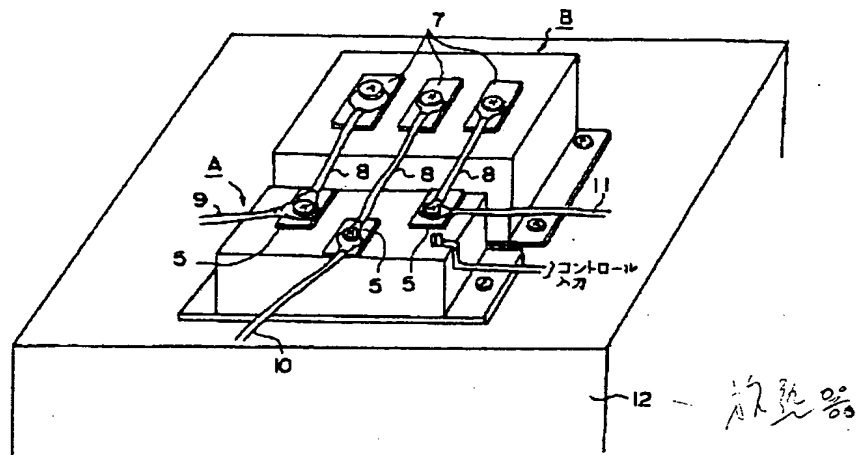
【図8】



【図13】



【図10】



THIS PAGE BLANK (USPTO)